

基于FPGA的图像叠加和跨屏拼接融合方法

万权, 李少甫

引用本文:

万权, 李少甫. 基于FPGA的图像叠加和跨屏拼接融合方法[J]. 液晶与显示, 2020, 35(10): 1066–1072.

WAN Quan, LI Shao-fu. Fusion method based on FPGA image overlay and cross-screen stitching[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(10): 1066–1072.

在线阅读 View online: <https://doi.org/10.37188/YJYXS20203510.1066>

您可能感兴趣的其他文章

Articles you may be interested in

实时视频流缩放系统设计

Design of real-time video stream scaling system

液晶与显示. 2019, 34(11): 1124–1130 <https://doi.org/10.3788/YJYXS20193411.1124>

4K裸眼立体显示系统设计

Design of 4K bare-eye stereoscopic display system

液晶与显示. 2019, 34(9): 862–870 <https://doi.org/10.3788/YJYXS20193409.0862>

基于HLS的色彩插值算法硬件设计与实现

Hardware acceleration design and implementation of color interpolation algorithm based on HLS

液晶与显示. 2020, 35(6): 595–603 <https://doi.org/10.3788/YJYXS20203506.0595>

基于CPCI总线的FPGA+DSP架构通用视频图像处理系统的设计

Design of general-purpose video image process system based on Compact-PCI bus and FPGA+DSP structure

液晶与显示. 2015(2): 333–339 <https://doi.org/10.3788/YJYXS20153002.0333>

基于FPGA的视频与通讯数据融合设计

Composition design of communication data and video data based on FPGA

液晶与显示. 2015(6): 987–991 <https://doi.org/10.3788/YJYXS20153006.0987>

文章编号:1007-2780(2020)10-1066-07

基于 FPGA 的图像叠加和跨屏拼接融合方法

万 权*, 李少甫

(西南科技大学 信息工程学院, 四川 绵阳 621010)

摘要:针对目前视频显示领域中常见的图像叠加和跨屏拼接显示方式,两种功能往往不能同时在一个系统中实现,导致应用的场景受到局限问题,提出一种多功能视频拼接系统的硬件结构设计。该系统基于双线性插值图像算法,采用流水线设计思路对算法进行优化,同时采用单片机完成视频处理前后,缩放倍数的计算与显示参数的传递,通过 IIC 总线发送计算出的参数到 FPGA 芯片执行,整个过程减少了硬件资源上的消耗,提高了算法的效率,并在 Lattice 的开发环境 Diamond 中对设计进行验证。实验结果表明, FPGA 能够同时处理 4 路输入视频流的存储操作,输出 4 路任意分辨率的视频信号,在 2×2 的拼接矩阵中,同时实现图像叠加与跨屏拼接。该拼接系统支持最高 $1\,920 \times 1\,080$ 的分辨率输入,最小 50×50 的分辨率输出,达到预期结果。

关键词:图像叠加;跨屏拼接;双线性插值;FPGA 芯片;任意分辨率

中图分类号:TP391 **文献标识码:**A **doi:**10.37188/YJYXS20203510.1066

Fusion method based on FPGA image overlay and cross-screen stitching

WAN Quan*, LI Shao-fu

(School of Information Engineering, Southwest University of Science and Technology
Mianyang 621010, China)

Abstract: Aiming at the common display methods such as image superimposition and cross-screen stitching in the current video display field, the two functions often cannot be implemented in the same system at the same time, resulting in limitation of application scenarios. A hardware structure design of a multifunctional video stitching system is proposed. The system is based on a bilinear interpolation image algorithm. The pipeline design ideas are used to optimize the algorithm. At the same time, a single-chip computer is used to complete the calculation of the zoom factor and the transmission of display parameters before and after video processing. The whole process reduces the consumption of hardware resources, and also improves the efficiency of the algorithm. The design is verified in Diamond that is the development environment of Lattice. The results show that the FPGA can simultaneously process four input video stream storage operations and output four video signals of any resolution. In a 2×2 stitching matrix, the image overlay and cross-screen stitching can be achieved simultaneously. The stitching system supports a maximum resolution of $1\,920 \times 1\,080$ and an output with

收稿日期:2020-03-23;修订日期:2020-04-20.

* 通信联系人, E-mail: 852069095@qq.com

a minimum resolution of 50×50 , achieving the expected result.

Key words: screen overlay; cross-screen stitching; bilinear interpolation; FPGA chip; arbitrary resolution

1 引言

随着视频处理的快速发展,视频显示的方式也越来越丰富,显示设备广泛应用于调度中心、视屏监控、演出背景等,传统的单图层显示方式已经不能满足多样性显示的需求,如王明宇采用双线性融合算法实现视频源的大屏拼接^[1],这种显示方式可应用在大部分多屏显示场景中,但显示界面往往只能调用一个图像源;严飞采用双三次插值算法实现了两个图层的叠加^[2],但是只在一个显示屏上输出,没有对图像进行拼接处理。针对大屏拼接中不同图像源叠加的问题,本文设计了一种多功能视频拼接系统,使得每一路输出信号都支持图像叠加与图像拼接;同时允许输入多种分辨率格式,输出分辨率可以根据使用者需求进行实时调整^[3]。由于双线性插值算法的画质比最邻近插值算法高,且硬件资源占用比双三次插值算法少,既能满足图像画质的要求又能满足跨屏拼接所需的多路资源要求,所以本文采用双线性插值算法作为系统的缩放算法^[4-8]。

2 系统组成

2.1 基本模块

视频拼接系统包括 4 路 Sil9293 视频输入模块、4 路 Sil9022 视频输出模块、DDR2 (Double Data Rate 2) 存储模块、现场可编程门阵列(Field Programmable Gate Array, FPGA) 算法执行模块、Hi3520D 主控模块、MCU (Microcontroller Unit) 单片机模块、以及其他必要模块(电源模块、时钟模块、配置模块),系统的硬件设计图如图 1 所示,FPGA^[9-10] 型号为 LFE3-70EA-6FN672C,是 lattice 公司 ECP3 系列产品,单片机型号为 STM32f030-RT86。

2.2 信号流向

Sil9293 视屏输入模块通过采集外部 HDMI 接口输入的视屏信号,转换为 YCbCr(4:2:2) 格式^[11] 的 16 bit 位宽数据流,当 FPGA 收到数据

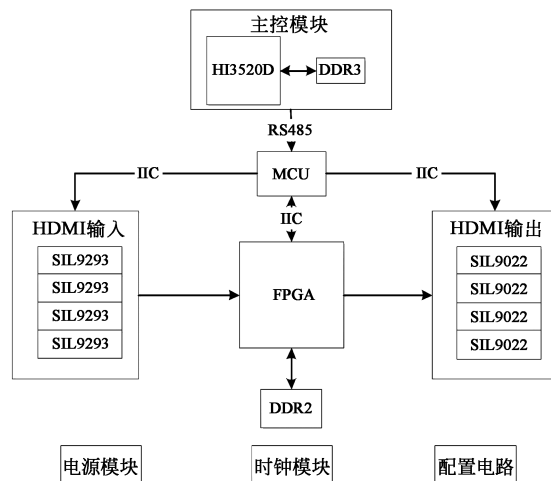


图 1 多功能视频拼接系统硬件结构图

Fig.1 Hardware structure diagram of multifunctional video stitching

流立即进行数据有效性判断,如果视频流数据判断为有效,那么将存储到 DDR2 中,当单片机告知 FPGA 需要对图像进行缩放计算时,缩放模块通过读取存储在 DDR2 中对应的信号源数据到 RAM 中,进而参与图像的缩放计算,计算结果输出到 Sil9022 视频输出模块,最终转换为 HDMI 视频信号输出。

2.3 主控模块

主控模块主要由海思的视屏解码芯片 Hi3520D^[12] 和 DDR3 组成,首先通过 SPI 接口写入预处理程序,再通过主控板上的以太网接口连接到 PC 主机,在 PC 端可视化界面上绘制出每一路输出需要显示的图像窗口并选取信号源,之后 Hi3520D 产生与输出窗口对应的参数信息(起始地址、终止地址、图层显示优先级、目标显示分辨率),再通过 RS485 接口^[13] 发送到单片机,参与每一路视频输出的缩放倍数计算,主控模块如图 2 所示。

3 DDR2 读写解析

3.1 数据采集与存储

一帧图像可分为有效区域和消隐区域,有效

数据的连续两点进行缩放计算,保证了读与写之间互不影响。

3.3 提高 DDR2 读写效率

本设计为 4 个视频源的同时输入,且 4 个处理后的视频信号同时输出,为了满足多路信号的同时处理要求,提高 DDR2 的读写效率就显得很有必要,本文通过两个方面来提高内存读写的效率。其一,采用 FPGA 内部的时钟 IP 核提高读写时钟的频率,通过调节 PLL (Phase Locked Loop) 的输出时钟,使得读写 RAM 的频率高达 200 MHz;其二,提高数据传输带宽,使用 4 组 16 bit 位宽的 DDR2 内存颗粒,通过并联方式组成 64 位宽的数据传输总线;又因为 DDR2 拥有两倍 DDR 内存预读取能力,故实际每个时钟周期从 RAM 中读/写的的数据位宽为 128 bit (8 个像素点),如图 4 数据存取逻辑图。

每组 RAM 空间大小为 $4\ 096 \times 16\ \text{bit}$,可缓存两行 1 K 的视频图像数据,一行数据有效像素点最多为 1 920 个,所以一行存储空间能够存储一行图像数据。

4 缩放步骤

4.1 新像素点计算

双线性插值算法并没有产生实际意义上的新像素值,所有新的像素值都是通过计算得到。因此,如何计算新像素值便成为实现算法的关键。双线性图像缩放算法在计算新像素值时需要相邻两行原图像像素值作为计算依据。因此,为了保证图像的连续性,必须通过具有大容量的存储器件 DDR2 来缓存几帧图像数据。双线性图像缩放算法计算新像素值时需要知道缩放前后图像的纵横比值,然后再用新像素的坐标值分别与缩放倍数的横向比值和纵向比值相乘,以此来确定当前新像素在原图像中的坐标位置。考虑到直接的除法运算在 FPGA 中会导致严重的时序违规,采用移位除法又占用大量资源,且该除法运算没有实时性要求,即被除数与除数不会随时钟连续变化。因此可由单片机来完成视频源到目标分辨率缩放倍数的计算,计算结果再返回 FPGA 执行。

4.2 图像缩放解析

计算缩放倍数时,主控板通过 RS485 总线发

送开窗所需的参数给单片机,目标显示分辨率与输入视频源的分辨率共同计算得到图像缩放倍数;FPGA 实时更新所有视频源分辨率信息,单片机通过 IIC 总线每隔 1 s 时间读取一次 FPGA 寄存的分辨率,实时更新缩放的倍数;计算方法如下:

$$x = \frac{\text{in_width}}{\text{out_width}}, \quad (1)$$

$$y = \frac{\text{in_high}}{\text{out_high}}. \quad (2)$$

其中:in_width 表示输入分辨率宽度,out_width 表示输出分辨率宽度,in_high 表示输入分辨率高度,out_high 表示输出分辨率高度,x 表示横向缩放倍数,y 表示纵向缩放倍数。

(1) 新像素坐标位置计算

新像素的坐标设为 $P'(u', v')$,该坐标点在视频源图像中对应的坐标位置设为 $P(u, v)$,用 P' 点的坐标与相应比值相乘即可得到新像素在视频源图像中的坐标位置 $P(u, v)$ 。

$$P(u, v) = P(u' \cdot x, v' \cdot y), \quad (3)$$

由 P 点的整数部分可得到它的 4 个相邻点 $Q_{11}(i, j)$ 、 $Q_{12}(i, j+1)$ 、 $Q_{21}(i+1, j)$ 、 $Q_{22}(i+1, j+1)$,P 点为相邻点闭合空间上的任意一点。在双线性插值算法中,像素值是由周围 4 个相邻点的像素值加权求和得出,如图 5 双线性算法原理。

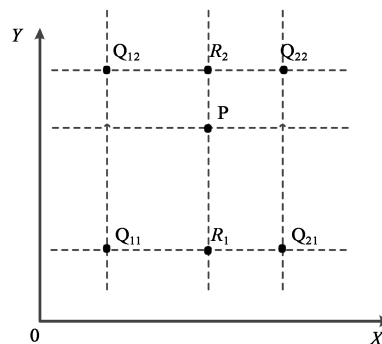


图 5 双线性算法原理

Fig.5 Diagram of bilinear algorithm principle

(2) 新像素值计算

当新像素点在源图像中的坐标位置确定后,利用这 4 个像素值与 P 点坐标小数部分对应相乘后再相加,最后得到新像素点的值^[20]。

(3) 乘法实现

FPGA 在需要乘法运算的地方均使用 FPGA 内

部乘法器 IP 核(DSP_MULT)来实现乘法运算^[21]。

设 $f_{()}$ 为源图像中像素点坐标对应的像素值,相邻点的值表示为 $f_{(i,j)}$ 、 $f_{(i,j+1)}$ 、 $f_{(i+1,j)}$ 、 $f_{(i+1,j+1)}$,

图 5 中 R_2 、 R_1 分别为 P 点在上、下边界的分量,可作为计算 P 点的中间值, u 、 v 为 P 点小数部分的值。首先计算出 R_1 、 R_2 的像素值:

$$\begin{aligned} f_{(R_1)} &= (1-u) \cdot f_{(i,j)} + u \cdot f_{(i+1,j)} , \quad (4) \\ f_{(R_2)} &= (1-u) \cdot f_{(i,j+1)} + u \cdot f_{(i+1,j+1)} , \quad (5) \end{aligned}$$

再由横向两个点 R_1 、 R_2 的值计算出纵向点 P 的值:

$$f_{(P)} = (1-v) \cdot f_{(R_1)} + v \cdot f_{(R_2)} , \quad (6)$$

通过时钟上升沿驱动计算模块,即可输出源源不断的新视频信号。

5 条件与验证

5.1 实验条件

采用 Lattice 公司的 Diamond 软件作为程序编译平台,然后对 FPGA 中的各个功能子模块进行综合、布局布线。主控板通过网线连接电脑,并采用 RS485 总线连接 FPGA 执行板,如图 6 系统结构图。输出端口连接 4 个 1 920×1 080 分辨率的显示器。

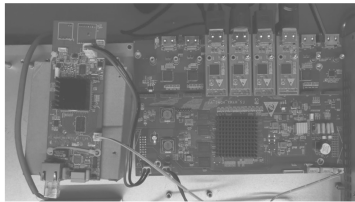


图 6 系统结构图

Fig.6 Diagram of system structure

显示器以 2×2 的矩阵方式拼接显示,在拼接状态下满屏图像的分辨率为 3 840×2 160,系统的每一个输出通道分配了两个图像显示窗口,每一个窗口可以独立处理一个图层的图像,当大屏拼接和图像叠加两种显示方式同时存在于一个输出通道时,通过单片机选择图层的优先级,高优先级的图像覆盖低优先级图像,最终以一个图层的方式输出。

5.2 仿真

编译软件集成了仿真工具 Reveal Analyzer,能够实时获取工程中数据的变化,如图 7 所示。

其中 data_rdy 电平为高时,表示外部视频源正在写入内存,read_data_valid 电平为高时,表示视频数据从内存中读出^[22],可以看出视频数据在不停地以行为单位对 DDR2 进行数据的写和读。



图 7 DDR2 读写仿真

Fig.7 DDR2 read and write emulation

图像底图采用拼接的显示方法,其他 3 个窗口通过 PC 端控制可任意缩放,其中新开的窗口仍然可以实现跨屏拼接;采用 4 路 1 080 P,频率为 60 Hz 的视频源作为系统的信号输入,显示效果如图 8 所示。此设计是在大屏拼接的基础上增加叠加图像的功能,此外当有多个信号源同时输入时,可通过开窗的方式显示多个不同的信号源。



图 8 显示效果图

Fig.8 Picture of show effect

实验结果表明,基于 FPGA 的双线性插值缩放系统,允许同时输入 4 路最大 1 080 P 的分辨率,输出分辨率最大为 3 840×2 160,输出分辨率最小为 50×50,对于输出的 4 路视频信号,每个信号允许开出 2 个任意缩放的窗口。FPGA 消耗的 LUT 资源占总资源的 25.06%,RAM 占用总资源的 36.67%。DSP 计算资源占总资源的 66.63%,如表 1 所示。

表 1 FPGA 资源使用情况

Tab.1 FPGA resource usage

资源名称	使用	总数	百分比/%
LUT	16 673	66 528	25.06
SLICE	12 376	33 264	37.21

续 表

资源名称	使用	总数	百分比/%
REGISTER	13 435	52 176	25.75
IO	238	380	62.63
ODDR	189	2 280	8.29
RAM	88	240	36.67
DSP	168	256	65.63

6 结 论

本文以实际市场需求为导向,针对图像的大

屏拼接显示,提出了一种多功能视频拼接系统的硬件结构设计,采用乒乓操作提高数据传输的稳定性。通过加大数据传输的位宽,提高数据读写的频率,使得允许同时多路视频的输入和输出;同时单片机对输入视频的分辨率进行实时检测,当分辨率变化时,输出视频也随之动态调整,提高了系统的应用能力。在 Diamond 环境中对该实验进行编译与测试,结果表明,输出的 4 路图像都可实现图像叠加和跨屏拼接的功能,最小输出分辨率为 50×50 的图像,最大输出分辨率为 $3\,840 \times 2\,160$ 的图像,满足常规要求的同时,也满足一些特殊场景显示的需求。

参 考 文 献:

- [1] 王明宇.基于 FPGA 的大屏幕多投影无缝拼接系统的设计研究 [D].杭州:浙江大学,2015.
WANGM Y. The research and design of FPGA-based large-screen Multi-projection seamless tiled display system [D]. Hangzhou: Zhejiang University, 2015. (in Chinese)
- [2] 严飞,陆宝毅,刘银萍,等.实时视频流缩放系统设计 [J].液晶与显示,2019,34(11):1124-1130.
YANF, LU B Y, LIU Y P, *et al.* Design of real-time video stream scaling system [J]. *Chinese Journal of Liquid Crystals and Displays*, 2019, 34(11): 1124-1130. (in Chinese)
- [3] 吴以凯,喻金华,肖铁军.基于 FPGA 的视频缩放设计与实现 [J].软件导刊,2017,16(8):83-85.
WU Y K, YU J H, XIAO T J. Design and implementation of video scaling based on FPGA [J]. *Software Guide*, 2017, 16(8): 83-85. (in Chinese)
- [4] 李渊渊,孟伟.一种用硬件实现的 Bayer 格式图像恢复算法 [J].中国光学,2009,2(6):538-542
LI Y Y, MENG W. Real-time hardware Bayer color image restoration algorithm and its implementation [J]. *Chinese Optics*, 2009, 2(6): 538-542. (in Chinese)
- [5] 罗潇,孙海江,陈秋萍,等. Bayer 格式图像的实时彩色复原 [J].中国光学,2010,3(2):182-187.
LUO X, SUN H J, CHEN Q P, *et al.* Real-time demosaicing of Bayer pattern images [J]. *Chinese Optics*, 2010, 3(2): 182-187. (in Chinese)
- [6] YEGANLI F, NAZZAL M, OZKARAMANLI H. Super-resolution using multiple structured dictionaries based on the gradient operator and bicubic interpolation [C]//*Proceedings of 2016 24th Signal Processing And Communication Application Conference*. Zonguldak, Turkey: IEEE, 2016.
- [7] RANGSIKUNPUM A, LEELARASMEE E, PUMRIN S. A design of sign video image expander for HDMI source using bicubic interpolation [C]//*Proceedings of 2017 14th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*. Phuket, Thailand: IEEE, 2017.
- [8] ZHOU R G, CHENG Y, LIU D Q. Quantum image scaling based on bilinear interpolation with arbitrary scaling ratio [J]. *Quantum Information Processing*, 2019, 18(9): 267.
- [9] 罗军,黄启俊,常胜,等. H.264 中整数变换与量化的 FPGA 实现 [J].中国图象图形学报,2011,16(5):740-745
LUO J, HUANG Q J, CHANG S, *et al.* A FPGA implementation of integer discrete cosine transform and quantification for H.264 compression [J]. *Journal of Image and Graphics*, 2011, 16(5):740-745. (in Chinese)
- [10] 刘海鹰,张兆杨,沈礼权.基于 FPGA 的 H.264 变换量化的高性能的硬件实现 [J].中国图象图形学报,2006,11(11):1636-1639
LIU H Y, ZHANG Z Y, SHEN L Q. A high-performance hardware implementation of the h. 264 transformation and quantization oriented to FPGA [J]. *Journal of Image and Graphics*, 2006, 11(11):1636-1639. (in Chinese)
- [11] 崔鹏,燕天天.融合 YCbCr 肤色模型与改进的 Adaboost 算法的人脸检测 [J].哈尔滨理工大学学报,2018,23(2):

- 91-96.
- CUI P, YAN T T. Face detection combining the YCbCr skin color model with improved Adaboost algorithm [J]. *Journal of Harbin University of Science and Technology*, 2018, 23(2): 91-96. (in Chinese)
- [12] SHI M, YI Q M, YANG H M. Implementation of video surveillance systems based on the Linux platform [C]// *Proceedings of 2017 Third Asian Conference on Defence Technology*. Phuket, Thailand: IEEE, 2017.
- [13] 熊文, 王莉, 肖健, 等. 一种 RS485 串口通信电路的高可靠性设计 [J]. 自动化与仪器仪表, 2017(3): 43-45.
- XIONG W, WANG L, XIAO J, *et al.* A RS485 serial communication circuit of the high reliability design [J]. *Automation & Instrumentation*, 2017(3): 43-45. (in Chinese)
- [14] 卢宇峰, 罗小华, 俞森, 等. 基于 LUT 实时图像矫正的行缓存优化 [J]. 复旦学报: 自然科学版, 2016, 55(4): 418-424.
- LU Y F, LUO X H, YU M, *et al.* Line buffer reduction for LUT-based real-time image rectification [J]. *Journal of Fudan University: Natural Science*, 2016, 55(4): 418-424. (in Chinese)
- [15] 肖建波. 电视信号传输和处理延时的一种测量方法 [J]. 现代电视技术, 2016(9): 142-144.
- XIAO J B. A method for measuring the delay of TV signal transmission and processing [J]. *Advanced Television Engineering*, 2016(9): 142-144. (in Chinese)
- [16] 赵书杰, 孙书为, 雷元武. 一种基于 BT.1120 协议的数字视频输入接口设计 [C]// 第二十一届计算机工程与工艺年会暨第七届微处理器技术论坛论文集. 2017.
- ZHAO S J, SUN S W, LEI Y W. Design of a digital video input interface based on BT.1120 protocol [C]// *Proceedings of the 21st Annual Computer Engineering and Technology Conference and the 7th Microprocessor Technology Forum*. 2017. (in Chinese)
- [17] NIU Y H, YU J Y, GU M, *et al.* A high speed virtual channel data transfer method for spacecraft application [C]// *Proceedings of 2016 IEEE 13th International Conference on Signal Processing*. Chengdu: IEEE, 2016.
- [18] CHEN S Y, WANG D H, SHAN R, *et al.* An innovative design of the DDR/DDR2 SDRAM compatible controller [C]// *Proceedings of 2005 6th International Conference on ASIC*. Shanghai: IEEE, 2005.
- [19] 冉峰, 李天, 季渊, 等. 基于 FPGA 的图像缩放算法设计 [J]. 光电子技术, 2017, 37(1): 21-26.
- RAN F, LI T, JI Y, *et al.* Design of image scaling algorithm based on FPGA [J]. *Optoelectronic Technology*, 2017, 37(1): 21-26. (in Chinese)
- [20] 谭燕林. 基于 FPGA 的 DDR2 SDRAM 控制器设计 [D]. 南京: 东南大学, 2016.
- TAN Y L. Design of DDR2 SDRAM controller based on FPGA [D]. Nanjing: Southeast University, 2016. (in Chinese)
- [21] 陈平, 张春, 张一山, 等. DDR2 SDRAM 控制器 IP 功能测试与 FPGA 验证 [J]. 微电子学, 2016, 46(2): 251-254.
- CHEN P, ZHANG C, ZHANG Y S, *et al.* Function simulation and FPGA verification of DDR2 SDRAM controller IP [J]. *Microelectronics*, 2016, 46(2): 251-254. (in Chinese)
- [22] 张秋林, 夏靖波, 邱婧, 等. 基于 ARM 和 FPGA 的双路远程视频监控系统设计 [J]. 液晶与显示, 2011, 26(6): 780-784.
- ZHANG Q L, XIA J B, QIU J, *et al.* Design of dual remote video monitoring system based on ARM and FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(6): 780-784. (in Chinese)

作者简介:



万 权(1993—), 男, 四川乐山人, 硕士研究生, 2017 年于南昌理工学院获得学士学位, 主要从事 FPGA 应用方面的研究. E-mail: 852069095@qq.com